



سلول حافظه SRAM کم توان و قابل اطمینان و طراحی آرایه‌ای

مولف :

کویچیرو ایشیاشی

کنیچی اوسادا

مترجمین:

صنم سهرابی آجی بیشه

سهیل ضیاءبخش

نیاز دانش

عنوان و نام پدیدآور	: سلول حافظه SRAM کم توان و قابل اطمینان و طراحی آرایه‌ای / مولف [صحیح: ویراستار] کوچیرو ایشیباشی، کنیچی اوسادا؛ مترجمین: صنم سهرابی آجی‌بیشه، سهیل ضیاءبخش.
مشخصات نشر	: تهران: نیاز دانش، ۱۳۹۶
شابک	: 978-600-7724-95-8
مشخصات ظاهری	: ۱۷۲ ص: مصور، جدول، نمودار
وضعیت فهرست‌نویسی	: فیپا
یادداشت	: عنوان اصلی: Low power and reliable SRAM memory cell and array design, c2011.
یادداشت	: کتابنامه
موضوع	: مدارهای مجتمع ولتاژ پایین -- طرح و ساختمان
موضوع	: مدارهای مجتمع -- مجتمع سازی در مقیاس بزرگ -- طرح و ساختمان
موضوع	: ابزار ذخیره سازی نیمه‌هادی
شناسه افزوده	: ایشیباشی، کوچیرو، ویراستار Ishibashi, Koichiro
شناسه افزوده	: اوسادا، کنیچی، ویراستار Osada, Kenichi
شناسه افزوده	: سهرابی آجی‌بیشه، صنم، مترجم -۱۳۵۷
شناسه افزوده	: ضیاءبخش، سهیل، مترجم -۱۳۶۰
رده‌بندی کنگره	: ۱۳۹۶ س۸/TKY۸۷۴/۶۶
رده‌بندی دیویی	: ۶۲۱/۳۸۱۵
شماره کتابشناسی ملی	: ۴۸۳۵۹۴۷



نام کتاب	: سلول حافظه SRAM کم توان و قابل اطمینان و طراحی آرایه‌ای
مؤلفین	: کوچیرو ایشیباشی - کنیچی اوسادا
مترجمین	: صنم سهرابی آجی‌بیشه - سهیل ضیاءبخش
مدیر اجرایی - ناظر بر چاپ	: حمیدرضا محمد شیرازی - محمد شمس
ناشر	: نیاز دانش
صفحه‌آرا	: واحد تولید انتشارات نیاز دانش
نوبت چاپ	: اول - ۱۳۹۶
شمارگان	: ۱۰۰ نسخه
قیمت	: ۱۶۰۰۰۰ ریال

ISBN:978-600-7724-95-8

شابک: ۹۷۸-۶۰۰-۷۷۲۴-۹۵-۸

هرگونه چاپ و تکثیر (اعم از زیراکس، بازنویسی، ضبط کامپیوتری و تهیه‌ی CD) از محتویات این اثر بدون اجازه کتبی ناشر ممنوع است، متخلفان به موجب بند ۵ از ماده ۲ قانون حمایت از مؤلفان، مصنفان و هنرمندان تحت پیگرد قانونی قرار می‌گیرند.

کلیه حقوق این اثر برای پژوهشکده میکروالکترونیک ایران محفوظ است.

آدرس انتشارات: تهران، میدان انقلاب، خیابان ۱۲ فروردین، تقاطع وحید نظری، پلاک ۲۵۵، طبقه ۱، واحد ۲

۰۲۱-۶۶۴۷۸۱۰۶-۶۶۴۷۸۱۰۸-۰۹۱۲۷۰۷۳۹۳۵

www.Niaze-Danesh.com

مشاوره جهت نشر: ۲۱۰۶۷۰۹ - ۰۹۱۲

مقدمه مترجمین

با پیشرفت در فن‌آوری‌های CMOS این امکان بوجود آمد که مدارات مجتمع و از جمله حافظه‌ها را در ظرفیت‌های بالا پیاده‌سازی نمود. حافظه دسترسی تصادفی ایستا (SRAM) نیز از این قاعده مستثنی نبوده و بطور گسترده‌ای به عنوان حافظه نمایش‌دهنده منطق LSI استفاده می‌شود. همچنین بدلیل استفاده از فرآیند مدارات منطقی مشابه از هزینه فرآیند اضافی می‌کاهد. طراحی مناسب سلول و آرایه سلول SRAM جهت دستیابی به عملکرد بالا، توان کم، هزینه پایین و منطق LSI قابل اطمینان امری اجتناب‌ناپذیر است.

ویژگی مهم این کتاب، سادگی بیان ساختارهای مختلف SRAM با استفاده از فن‌آوری‌های CMOS و مشکلات و مزایای هر کدام می‌باشد. ارائه شبیه‌سازی نیز در فهم هرچه بیشتر این ساختارها به خواننده کمک می‌کند.

در اینجا لازم است از دوستان عزیز که ما را در تهیه این مجموعه یاری رساندند، صمیمانه قدردانی و تشکر نماییم.

در پایان از کلیه دانشجویانی که این کتاب را مطالعه می‌کنند و اساتیدی که آن را پیش رو می‌گذرانند تقاضا می‌کنیم مارا از نظرات و پیشنهادات سازنده خود محروم نساخته، آن را به اطلاع ما برسانند تا برای نسخ بعدی مورد استفاده قرار گیرد.

صنم سهرابی - سهیل ضیاءبخش
پژوهشکده میکروالکترونیک ایران

فهرست مطالب

مقدمه مترجمین ۳

فصل ۱ مقدمه ۹

۱-۱ تاریخچه و سیر تکامل سلول حافظه ۹

۱-۲ روش‌های طراحی سلول حافظه و آرایه ۱۲

مراجع ۱۴

فصل ۲ مبانی سلول حافظه SRAM ۱۵

۱-۲ سلول SRAM ۱۵

۲-۲ اساس عملکرد سلول SRAM ۱۶

۳-۲ پایداری الکتریکی در عملیات خواندن: حاشیه نویز ایستایی و نسبت β ۱۹

مراجع ۲۱

فصل ۳ پایداری الکتریکی (عملیات خواندن و نوشتن) ۲۳

۱-۳ اصول پایداری الکتریکی در عملیات خواندن و نوشتن ۲۴

۲-۳ منحنی پنجره‌ای ولتاژ آستانه ۳۰

۳-۳ تحلیل حساسیت ۳۴

مراجع ۳۹

۴۱	فصل ۴ روش طراحی سلول حافظه با مصرف توان پایین
۴۱	۱-۴ اصول نشستی در آرایه SRAM
۴۲	۱-۱-۴ جریان‌های نشستی در SRAM با طراحی مرسوم
۴۲	۲-۱-۴ جریان‌های نشستی گیت - تونل و GIDL
۴۵	۲-۴ روش کنترل ولتاژ خط منبع
۴۶	۱-۲-۴ طرح EFR برای کاهش توان SRAM
۴۸	۲-۲-۴ معماری تراشه
۵۰	۳-۲-۴ نتایج
۵۱	۴-۲-۴ روش کنترل ولتاژ خط منبع برای SRAM تعبیه شده در پردازشگر کاربردی
۵۵	۳-۴ طراحی سلول LS برای کار در ولتاژ پایین
۵۵	۱-۳-۴ سلول حافظه لیتوگرافی متقارن
۵۹	مراجع

۶۱	فصل ۵ روش‌های طراحی آرایه با توان پایین
۶۲	۱-۵ طراحی شبه سلول
۶۲	۱-۱-۵ مساله مربوط به عملیات ولتاژ وسیع
۶۳	۲-۱-۵ بلوک دیاگرام و عملکرد طرح ایجاد زمان بندی تطبیق یافته با ولتاژ
۶۵	۳-۱-۵ نمودار زمان بندی و تاثیر طرح تولید زمان بندی تطبیقی با ولتاژ
۶۷	۴-۱-۵ مدارهای پیش دیکدر و راه‌انداز کلمه
۶۸	۵-۱-۵ نتایج
۷۲	۲-۵ روش تقویت آرایه
۷۸	۳-۵ مدارهای کمکی در پایداری خواندن و نوشتن
۷۸	۱-۳-۵ مفهوم بهبود پایداری خواندن
۸۱	۲-۳-۵ مدارهای کمکی خواندن با قابلیت تحمل تغییرات
۸۸	۳-۳-۵ تحمل تغییر مدارهای کمکی نوشتن
۹۱	۴-۳-۵ نتیجه شبیه‌سازی
۹۲	۵-۳-۵ ساخت و ارزیابی در فن‌آوری 45-nm
۹۴	۴-۵ روش‌های طراحی آرایه دو ورودی

۹۴	استفاده ناسازگار دسترسی از SRAM دو ورودی
۹۸	مفهوم بدام انداختن دسترسی سطر مشترک به طور همزمان
۱۰۱	طراحی سلول دو ورودی ۸ ترانزیستوری
۱۰۴	منحنی‌های پروانه‌ای شبیه‌سازی شده برای SNM
۱۰۵	تحلیل پایداری سلول
۱۰۶	جریان ناشی ایستایی
۱۰۶	طراحی و ساخت تراشه آزمایشی
۱۰۸	نتایج اندازه‌گیری
۱۰۹	مراجع

فصل ۶ طراحی سلول حافظه‌ی معتبر برای برطرف کردن نقایص SRAM ناشی از

۱۱۱	پرتوهای محیطی
۱۱۲	۱-۶ اصول SER در سلول SRAM
۱۱۶	۲-۶ SER ناشی از ذره آلفا
۱۲۰	۳-۶ SER ناشی از نوترون‌ها و مقدار آن
۱۲۰	۱-۳-۶ دانش پایه‌ی نوترون‌های زمینی
۱۲۲	۲-۳-۶ سیستم کلی برای تعیین SER-SECIS
۱۲۳	۳-۳-۶ روش‌های شبیه‌سازی برای تعیین SER نوترون
۱۲۳	۱-۳-۳-۶ مدل واکنش هسته‌ای
۱۲۴	۲-۳-۳-۶ مدل تک بیتی
۱۲۵	۳-۳-۳-۶ مدل MCU
۱۲۵	۴-۳-۳-۶ اعتبار روش شبیه‌سازی
۱۲۷	۴-۳-۶ پیش‌بینی تاثیر ابعاد به کمک CORIMS
۱۳۰	۴-۶ سیرتکامل مسایل مربوط به MCU و شفاف‌سازی طرزکار آن
۱۳۰	۱-۴-۶ تعیین مشخصات MCU توسط آزمایشات مبتنی بر شتاب‌دهنده
۱۳۰	۱-۱-۴-۶ پرتوهای نوترونی و DUT‌ها
۱۳۰	۲-۱-۴-۶ الگوهای MCU
۱۳۲	۳-۱-۴-۶ تاثیر مکان‌های اتصال
۱۳۳	۲-۴-۶ تلفیق شبیه‌سازی سه بعدی و ساده شده وسیله با شبیه‌سازی مداری

۱-۲-۴-۶	استفاده ترکیبی از شبیه‌سازی در سطح وسیله و مدار برای مدل‌سازی
۱۳۳	خطاهای چندسلولی
۱۳۶	تأثیر دو قطبی پارازیتی علت ایجاد خطاهای چند سلولی
۳-۴-۶	شبیه‌سازی سه بعدی کامل به‌همراه مدل سلول چهارجزیی و واکنش دو قطبی
۱۳۸	چند زوجی (MCBI)
۵-۶	اقدامات متقابل برای طراحی حافظه قابل اطمینان
۱۴۲	۱-۵-۶ تصحیح خطای ECC و فن‌آوری جاگذاری برای MCU
۱۴۴	۲-۵-۶ معماری ECC
۱۴۶	۳-۵-۶ نتایج
۱۴۷	مراجع

۱۵۳	فصل ۷ فن‌آوری‌های آینده
۱۵۳	۱-۷ سلول ۷، ۸ و ۱۰ ترانزیستوری SRAM
۱۵۶	۲-۷ SRAM از نوع Thin-Box FD-SOI
۱۶۶	۳-۷ سلول‌های SRAM برای FINFET
۱۶۷	مراجع
۱۶۹	پیوست